

W 8

DATA PROCESSING SYSTEM AND ITS MEMORY ACCESS METHOD

Patent Number: JP8055097
Publication date: 1996-02-27
Inventor(s): TAKEMURA TORU
Applicant(s):: TOSHIBA CORP
Requested Patent: ☐ JP8055097
Application Number: JP19940187271 19940809
Priority Number(s):
IPC Classification: G06F15/177 ; G06F1/24 ; G06F9/445
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a data processing system for multi-CPU system which enables each CPU to access a shared ROM with a simple constitution by effectively using the internal memory of the CPU.



CONSTITUTION: A flip flop 6 sets a second CPU 1b to the operation stop state at the time or the start of the system, namely, power-on and resets this operation stop state after the end of access to a ROM 3 from a first CPU 1a. A selector circuit 4 selects the address outputted from the first CPU 1a as the address of the ROM 3 at the time of the start of the system. An output switching circuit 5 transfers the program outputted from the ROM 3 to the first CPU 1a. The first CPU 1a loads the program outputted from the ROM 3 to an internal RAM 2a. Meanwhile, the flip flop 6 resets the operation stop state of the second CPU 1b when the load processing of the first CPU 1a is terminated. The second CPU 1b outputs the address to access the program from the ROM 3.

Data supplied from the esp@cenet database - I2

TOP

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-55097

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 15/177
1/24
9/445

G 0 6 F 15/ 16 4 2 0 S
1/ 00 3 5 0 A

審査請求 未請求 請求項の数6 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-187271

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22) 出願日 平成6年(1994)8月9日

(72) 発明者 武村 亨

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

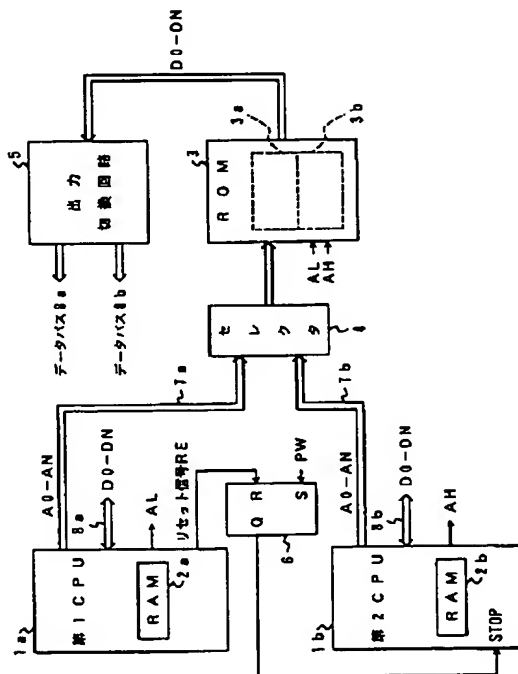
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 データ処理システム及びそのメモリアクセス方法

(57) 【要約】

【目的】 CPUの内部メモリを有効に利用することにより、簡単な構成で各CPUが共用ROMをアクセスすることができるマルチCPU方式のデータ処理システムを提供することにある。

【構成】 フリップフロップ6は、電源投入時であるシステムの起動時に、第2CPU1bを動作停止状態にセットし、第1CPU1aがROM3に対するアクセスを終了した後にその動作停止状態をリセットする。セクタ回路4は、システムの起動時に第1CPU1aから出力されたアドレスをROM3のアドレスとして選択する。出力切換回路5は、ROM3から出力されたプログラムを第1CPU1aに転送する。第1CPU1aは内部RAM2aにROM3から出力されたプログラムをロードする。一方、フリップフロップ6は第1CPU1aのロード処理が終了すると、第2CPU1bの動作停止状態をリセットする。第2CPU1bはアドレスを出力して、ROM3からプログラムをアクセスする。



1

【特許請求の範囲】

【請求項1】 独立してデータ処理を実行する第1及び第2のデータ処理装置と、

前記第1及び第2のデータ処理装置のそれぞれにアクセスされるメモリ手段と、

システムの起動時に前記第2のデータ処理装置を動作停止状態にセットし、前記第1のデータ処理装置の制御に応じて前記第2のデータ処理装置の動作停止状態をリセットするリセット制御手段と、

前記システムの起動時に、前記メモリ手段に対する前記第1のデータ処理装置のアクセス動作を実行させる第1のアクセス制御手段と、

前記リセット制御手段により動作停止状態をリセットされた後に、前記メモリ手段に対する前記第2のデータ処理装置のアクセス動作を実行させる第2のアクセス制御手段とを具備したことを特徴とするデータ処理システム。

【請求項2】 独立してデータ処理を実行する第1及び第2のデータ処理装置と、

前記第1及び第2のデータ処理装置のそれぞれにアクセスされて、前記各データ処理装置に対応する各プログラムを格納しているメモリ手段と、

システムの起動時に前記第2のデータ処理装置を動作停止状態にセットし、前記第1のデータ処理装置が前記メモリ手段に対するアクセスを終了した後に前記第2のデータ処理装置の動作停止状態をリセットするリセット制御手段と、

前記システムの起動時に、前記メモリ手段に対する前記第1のデータ処理装置のアクセス動作を実行させて、前記メモリ手段から出力された前記プログラムを前記第1のデータ処理装置の内部メモリ手段にロードする第1のアクセス制御手段と、

前記リセット制御手段により動作停止状態をリセットされた後に、前記メモリ手段に対する前記第2のデータ処理装置のアクセス動作を実行させて、前記メモリ手段から出力された前記プログラムを前記第2のデータ処理装置に転送する第2のアクセス制御手段とを具備したことを特徴とするデータ処理システム。

【請求項3】 独立してデータ処理を実行する第1及び第2のデータ処理装置と、

前記第1及び第2のデータ処理装置のそれぞれにアクセスされて、前記各データ処理装置に対応する各プログラムを格納しているメモリ手段と、

システムの起動時に前記第2のデータ処理装置を動作停止状態にセットし、前記第1のデータ処理装置が前記メモリ手段に対するアクセスを終了した後に前記第2のデータ処理装置の動作停止状態をリセットするリセット制御手段と、

前記メモリ手段のアクセス時に、前記第1及び第2のデータ処理装置の一方から出力されたアドレスを選択する

2

アドレス選択手段と、

前記メモリ手段のアクセス時に、前記メモリ手段から出力された前記プログラムを前記第1及び第2のデータ処理装置の一方に転送する出力制御手段と、

前記システムの起動時に、前記アドレス選択手段により前記第1のデータ処理装置から出力されたアドレスを選択して前記メモリ手段をアクセスし、前記メモリ手段から出力された前記プログラムを前記出力制御手段により前記第1のデータ処理装置に転送してその内部メモリ手段にロードする第1のアクセス制御手段と、

前記リセット制御手段により動作停止状態をリセットされた後に、前記アドレス選択手段により前記第2のデータ処理装置から出力されたアドレスを選択して前記メモリ手段をアクセスし、前記メモリ手段から出力された前記プログラムを前記出力制御手段により前記第2のデータ処理装置に転送する第2のアクセス制御手段とを具備したことを特徴とするデータ処理システム。

【請求項4】 独立してデータ処理を実行する第1及び第2のデータ処理装置を有し、前記第1のデータ処理装置により前記第2のデータ処理装置の動作が制御される構成のデータ処理システムにおいて、

前記第1のデータ処理装置にアクセスされて、前記第1及び第2の各データ処理装置に対応する各プログラムを格納しているメモリ手段と、

前記第1のデータ処理装置の制御に応じて前記第2のデータ処理装置が起動したときに、前記第2のデータ処理装置のアクセス要求に応じて前記第1のデータ処理装置が前記メモリ手段からアクセスした前記プログラムを前記第2のデータ処理装置に出力するアクセス制御手段とを具備したことを特徴とするデータ処理システム。

【請求項5】 独立してデータ処理を実行する第1及び第2のデータ処理装置を有し、前記第1のデータ処理装置により前記第2のデータ処理装置の動作が制御される構成のデータ処理システムにおいて、

前記第1のデータ処理装置により設定される周波数の動作クロックを前記第2のデータ処理装置の動作クロック端子に出力するクロック供給手段と、

前記第1のデータ処理装置にアクセスされて、前記第1及び第2の各データ処理装置に対応する各プログラムを格納しているメモリ手段と、

前記第1のデータ処理装置の入出力ポートを通じて前記第2のデータ処理装置との間でアドレスおよびデータの交換を実行するデータ転送手段と、

前記第1のデータ処理装置の制御に応じて前記クロック供給手段から供給される前記動作クロックに応じて前記第2のデータ処理装置が起動したときに、前記データ転送手段を通じて前記第2のデータ処理装置から供給されたアドレスに従って前記第1のデータ処理装置が前記メモリ手段からアクセスし、このアクセスされた前記プログラムを前記データ転送手段を通じて前記第2のデータ

処理装置に出力するアクセス制御手段とを具備したことを特徴とするデータ処理システム。

【請求項6】 独立してデータ処理を実行する第1及び第2のデータ処理装置および前記第1及び第2のデータ処理装置のそれぞれにアクセスされて、前記各データ処理装置に対応する各プログラムを格納しているメモリ手段を備えているデータ処理システムにおいて、システムの起動時に前記第2のデータ処理装置を動作停止状態にセットするステップと、

前記第1のデータ処理装置がアクセス動作を実行して、前記メモリ手段から出力された前記プログラムを前記第1のデータ処理装置の内部メモリ手段にロードするステップと、

前記第1のデータ処理装置が前記メモリ手段に対するアクセスを終了した後に前記第2のデータ処理装置の動作停止状態をリセットするステップと、

動作停止状態をリセットされた後に、前記第2のデータ処理装置がアクセス動作を実行して、前記メモリ手段から出力された前記プログラムを前記第2のデータ処理装置に転送するステップとからなることを特徴とするメモリアクセス方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数のCPUが共用のROMをアクセスするマルチCPU方式のデータ処理システムに関する。

【0002】

【従来の技術】 近年、例えばハードディスク装置の制御装置等には、複数のマイクロプロセッサ（CPU）を使用したマルチCPU方式のデータ処理システムを採用している装置がある。

【0003】 このようなシステムでは、通常では2個のCPUが対応する複数のROM（read only memory）からプログラム（マイクロプログラム）をアクセスし、このプログラムに基づいて各種制御動作等を実行している。ROMには、外部から指示に従ってプログラムの内容を変更できるように、書き換え可能なEEPROM（電氣的消去可能なPROM）等が使用されている。各CPUの内蔵マスクROMを使用する方式も考えられるが、プログラムの変更の場合にはCPUも交換する必要があるため、望ましい方式ではない。

【0004】 ところで、各CPUに対応して複数のROMを設ける方式では、ROMの個数と各ROMに用意するプログラムの管理工数の削減が課題である。この課題を解決することにより、システムのコスト低減を図ることが可能となる。

【0005】 従来でも、マルチCPU方式において、各CPUが1個のROMを共有してアクセスする技術が開発されている。しかしながら、各CPUがそれぞれ必要なプログラムを共用のROMからアクセスする際に、複

雑な制御動作を要し、構成全体が複雑化する欠点があった。

【0006】

【発明が解決しようとする課題】 マルチCPU方式のデータ処理システムにおいて、各CPUのプログラムを格納したROMを共用することにより、システムのコスト低減を図ることが可能となる。しかしながら、1個のROMを各CPUが共有する従来方式では、複雑な制御動作を要し、構成全体が複雑化する欠点があった。

【0007】 本発明の目的は、CPUの内部メモリを有効に利用することにより、簡単な構成で各CPUが共用ROMをアクセスすることができるマルチCPU方式のデータ処理システムを提供することにある。

【0008】

【課題を解決するための手段】 本発明は、独立してデータ処理を実行する第1及び第2のCPUを備えたマルチCPU方式のデータ処理システムにおいて、各CPUが共用のROMをアクセスし、それぞれのプログラムをアクセスするように構成されている。本発明のシステムは、システムの起動時に第2のCPUを動作停止状態にセットし、第1のCPUの制御に応じてその動作停止状態をリセットするリセット制御手段、第1のCPUのアクセス動作を実行させる第1のアクセス制御手段および第2のCPUのアクセス動作を実行させる第2のアクセス制御手段を備えている。

【0009】

【作用】 本発明では、リセット制御手段は、電源投入時であるシステムの起動時に、第2のCPUを動作停止状態にセットし、第1のCPUがROMに対するアクセスを終了した後に第2のCPUの動作停止状態をリセットする。第1のアクセス制御手段は、システムの起動時にROMに対する第1のCPUのアクセス動作を実行させて、ROMから出力されたプログラムを第1のCPUの内部RAMにロードする。第2のアクセス制御手段は、ROMに対する第2のCPUのアクセス動作を実行させて、ROMから出力されたプログラムを第2のCPUに転送する。このような構成により、第1のCPUの内部RAMを有効に利用し、かつシステムの起動時に第2のCPUを動作停止状態にするリセット制御手段により、複雑な制御を要することなく、各CPUが交互にROMをアクセスしてそれぞれのプログラムを得ることができる。

【0010】

【実施例】 以下図面を参照して本発明の実施例を説明する。図1は第1の実施例に係わるデータ処理システムの基本的構成を示すブロック図、図2は同実施例のデータ処理システムの具体的構成を示すブロック図、図3は同実施例の動作を説明するためのフローチャート、図4は第2の実施例に係わるデータ処理システムの要部を示すブロック図、図5は同実施例の動作を説明するためのタ

イミングチャートである。

(第1の実施例の基本的構成) 本システムは、図1に示すように、2個の第1CPU1aと第2CPU1bを有するマルチCPU方式のシステムである。各CPU1a、1bは、それぞれ内部RAMを有し、ROM3からアクセスしたプログラム(マイクロプログラム)をロードして実行する。

【0011】ROM3は、各CPU1a、1bの共用メモリであり、それぞれの動作に必要な各プログラムを格納している。ROM3は、同実施例では便宜的にアドレス空間を2分割し、例えば下位アドレス空間(下位エリアと称する)3aにはCPU1aに対応するプログラムを格納し、上位アドレス空間(上位エリアと称する)3bにはCPU1bに対応するプログラムを格納している。

【0012】さらに、本システムは、セクタ回路4、出力切換回路5およびフリップフロップ6を有する。セクタ回路4は、各CPU1a、1bのアドレスバス7a、7bに接続しており、各CPU1a、1bから出力されるアドレスA0-ANの一方を選択して出力する。出力切換回路5は、ROM3から出力されたデータ(同実施例ではプログラム)D0-DNを、各CPU1a、1bに接続されたデータバス8a、8bの一方に出力する選択回路である。

【0013】フリップフロップ6は、第2CPU1bの動作状態を制御するためのリセット制御手段であり、セット端子Sに入力される電源ON信号PWにより第2CPU1bを動作停止状態にセットする。また、フリップフロップ6は、リセット端子Rに入力されるリセット信号REにより、第2CPU1bを動作停止状態をリセットする。リセット信号REは、CPU1aの出力ポートから出力される制御信号の一種である。

(第1の実施例の具体的構成) 本システムは、具体的には図2に示すように、各CPU1a、1bから出力されるアドレスA0-ANの中で、下位アドレス(例えばA0-A7)をラッチするラッチ回路10a、10bおよび上位アドレス(例えばA8-AN)の出力を制御する3ステートバッファ回路11a、11bを備えている。

【0014】ラッチ回路10a、10bは、各CPU1a、1bのデータバス8a、8bに接続されており、ラッチした下位アドレスをセクタ回路4に出力する。セクタ回路4は、各CPU1a、1bから出力された下位アドレスの一方をROM3の下位アドレスとして設定する。3ステートバッファ回路11a、11bは、フリップフロップ6の出力信号により制御されて、各CPU1a、1bから出力された上位アドレスの一方をROM3の上位アドレスとして設定する。

【0015】出力切換回路5は、ROM3から出力されたプログラム(データD0-DN)を、各CPU1a、1bに接続されたデータバス8a、8bの一方を選択し

て転送する。

(第1の実施例の動作) 図3のフローチャートを参照して、同実施例の動作を説明する。まず、電源が投入されてシステムが起動すると、電源ON信号PWによりフリップフロップ6がセットされる(ステップS1)。この電源ON信号PWは、例えばシステムに設けられている電源コントローラから出力される。

【0016】フリップフロップ6のセットにより、第2CPU1bは動作停止状態にセットされる(ステップS2)。即ち、電源の投入により、第1CPU1aと第2CPU1bは共に起動するが、第2CPU1bはフリップフロップ6の出力信号により一時動作停止状態となる。

【0017】第1CPU1aは、ROM3をアクセスするためのアドレスA0-ANを出力する。セクタ4は、第1CPU1aから出力されたアドレスA0-ANを選択し、ROM3をアクセスするためのアドレスとして出力する(ステップS3)。

【0018】具体的には図2に示すように、第1CPU1aから出力されたアドレスA0-ANの中で、下位アドレスはラッチ回路10aにラッチされている。また、上位アドレスは3ステートバッファ回路11aに出力されている。セクタ回路4は、フリップフロップ6の出力信号に従って、ラッチ回路10aにラッチされた第1CPU1aからの下位アドレスを出力する。一方、3ステートバッファ回路11aは、フリップフロップ6の出力信号に制御されて、第1CPU1aからの上位アドレスを出力する。このとき、第2CPU1bは動作停止状態であり、また3ステートバッファ回路11bは出力停止の状態(ハイインピーダンス状態)である。

【0019】ROM3は、第1CPU1aから出力されたアドレスA0-ANとアドレス制御信号ALにより、下位エリア3aに格納されたプログラムをアクセスされて出力する(ステップS4)。出力切換回路5は、フリップフロップ6の出力信号に従って、ROM3から出力されたプログラムをデータバス8aに出力する。第1CPU1aは、データバス8aを通じて入力したプログラムを内部RAM2aにロードする(ステップS5)。これ以降、第1CPU1aは、内部RAM2aにロードされたプログラムを実行し、例えば各種制御動作を実行することになる。ここで、具体的には、第1CPU1aは、ROM3をアクセスして予め下位エリア3aに格納されているイニシャルプログラムを実行し、この実行により下位エリア3aに格納されているメインプログラムをアクセスして内部RAM2aにロードする処理を実行する。

【0020】第1CPU1aは、内部RAM2aにプログラムのロードが終了すると、出力ポートからフリップフロップ6をリセットするためのリセット信号REを出力する(ステップS6のYES)。このリセット信号R

7

Eによりフリップフロップ6がリセットし、第2CPU1bは動作停止状態をリセットされて起動する(ステップS7)。

【0021】したがって、第2CPU1bは、第1CPU1aと同様に、ROM3をアクセスして上位エリア3bに格納されたプログラムを、例えば内部RAM2bにロードする動作を実行する。

【0022】具体的には、図2に示すように、フリップフロップ6のリセットにより、セクタ回路4はラッチ回路10bにラッチされた下位アドレスを選択して出力する。ラッチ回路10bには、第2CPU1bから出力された下位アドレスがラッチされている。また、3ステートバッファ回路11aは、出力停止の状態(ハイインピーダンス状態)となる。一方、3ステートバッファ回路11bは、第2CPU1bからの上位アドレスを出力する。したがって、第2CPU1bから出力されたアドレスA0-ANが、ROM3をアクセスするためのアドレスとして出力されることになる(ステップS8)。

【0023】これにより、第2CPU1bはROM3の上位エリア3bに格納されたプログラムをアクセスすることになる(ステップS9)。即ち、ROM3は、第2CPU1bから出力されたアドレスA0-ANとアドレス制御信号AHにより、上位エリア3bに格納されたプログラムをアクセスされて出力する。出力切換回路5は、フリップフロップ6のリセットに従って、ROM3から出力されたプログラムをデータバス8bに出力する。第2CPU1bは、データバス8bを通じて入力したプログラムを内部RAM2bにロードする。なお、第2CPU1bは、ROM3からアクセスしたプログラムを必ずしも内部RAM2bにロードする必要はない。

【0024】このようにして、第1CPU1aは、共用のROM3から必要なプログラムをアクセスして、内部RAM2aにロードする。このロードしたプログラムを実行することにより、第1CPU1aは通常動作である各種制御動作を実行する(ステップS10)。一方、第2CPU1bは、起動時には、第1CPU1aのアクセス動作が終了するまで、動作停止状態である。第1CPU1aにより制御されて、この動作停止状態がリセットされると、第2CPU1bはROM3から必要なプログラムをアクセスすることになる。このプログラムを実行することにより、第2CPU1bも通常動作である各種制御動作を実行することになる(ステップS10)。

(第2の実施例) 第2の実施例は、図4に示すように、第2CPU1bが通常のように、データバス8bとアドレスバス7bによりROM3と接続し、第1CPU1aが第2CPU1bと接続した構成である。第1CPU1aは、データバス8a、アドレスバス7aおよびコントロール信号線が第2CPU1bの汎用入出力ポートに接続されて、第2CPU1bとのデータ転送を実行する。

【0025】第2の実施例の特徴は、第1CPU1a

8

は、第2CPU1bを介して間接的にROM3をアクセスする。さらに、第1CPU1aは、第2CPU1bからクロックパルスCPを供給されて、このクロックパルスCPの周波数を変更されることにより動作速度を制御される。

【0026】次に、図5のタイミングチャートを参照して、第2の実施例の動作を説明する。まず、電源投入時には、第2CPU1bは、通常のように、アドレスA0-ANを出力してROM3をアクセスする。即ち、アドレスA0-ANとアドレス制御信号AHにより、ROM3の上位エリア3bに格納されたプログラムをアクセスして、第2CPU1bはプログラムを実行する。このとき、第2CPU1bはアクセスしたプログラムを内部RAM2bにロードしてもよい。

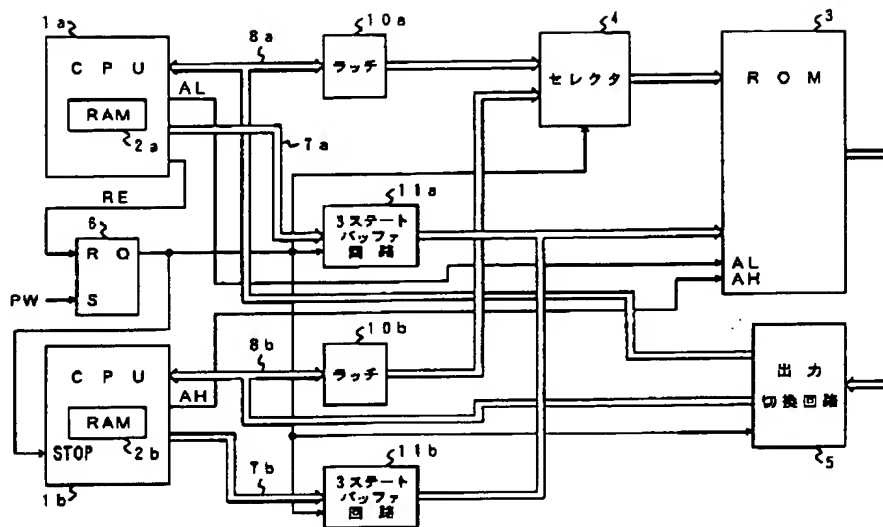
【0027】第1CPU1aは、第2CPU1bからクロックパルスCPが供給されるまで、動作停止の状態である。即ち、電源投入時には、第1CPU1aは動作停止状態である。第2CPU1bは所定の処理を終了すると、第1CPU1aに対してクロックパルスCPを供給して、第1CPU1aを起動させてプログラムのロード処理を実行する。このとき、第2CPU1bは、図5に示すように、基本クロックパルスCP1に対して分周したクロックパルスCP2を供給して、第1CPU1aを相対的に低速で動作させる。

【0028】第1CPU1aは起動すると、アドレスラッチイネーブル信号ALEを出力し、この信号に伴ってアドレスA0-ANをアドレスバス7aに出力する。第2CPU1bは、信号ALEを入力し、この信号ALEの立ち下がり時にアドレスバス7aのアドレスA0-ANを認識する。

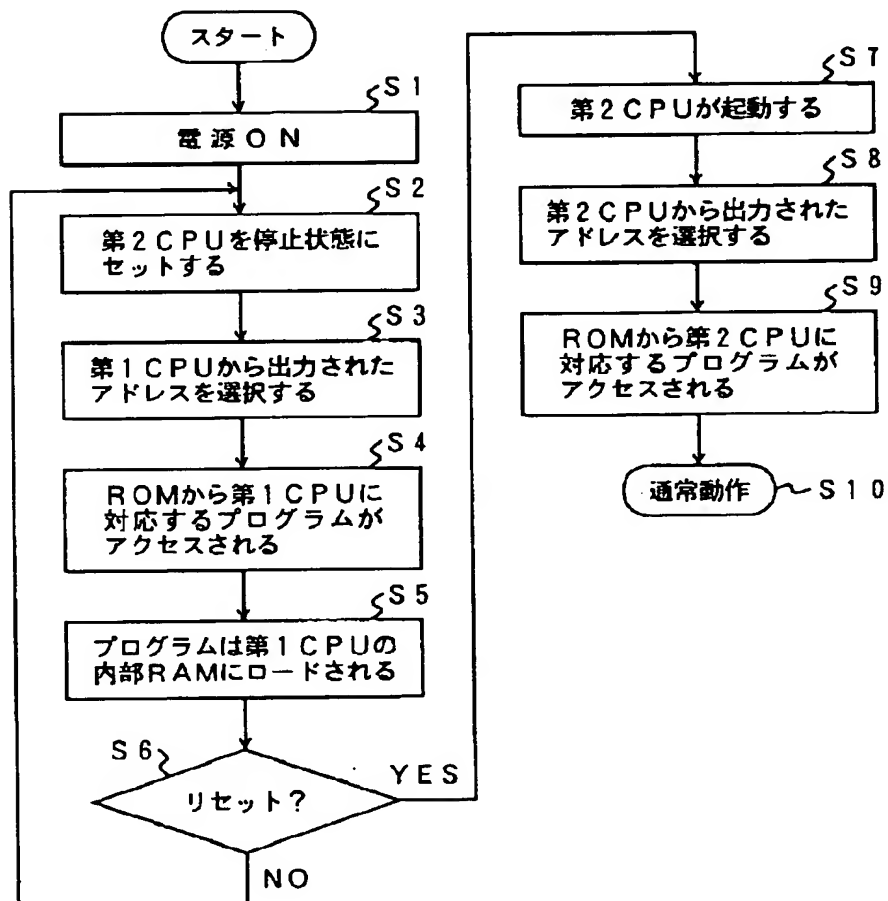
【0029】第2CPU1bは、第1CPU1aから出力されたアドレスA0-ANによりROM3をアクセスし、ここでは下位エリア3aに格納されているプログラムを讀出す。第2CPU1bは、図5に示すように、第1CPU1aから論理レベル“L”が有意のリード信号RDが出力されると、ROM3から讀出したデータ(プログラム)をデータバス8aに出力する。第2CPU1bは、リード信号RDの出力を監視し、出力が停止になるとデータ出力を停止する。なお、第2CPU1bは、レディ信号RDYを出力することにより、第1CPU1aの動作を遅らせることが可能である。

【0030】このようにして、第1CPU1aは、第2CPU1bの制御により低速動作状態で、第2CPU1bを介してROM3からアクセスしたプログラムを入力し、内部RAM2aにロードする。第1CPU1aがプログラムのロードを終了すると、第2CPU1bはクロックパルスCPの分周比を変更して、例えば基本クロックパルスCP1を供給する。即ち、第1CPU1aを定速動作状態に移行させる。これにより、第1CPU1aは、内部RAM2aにロードしたプログラムを定速によ

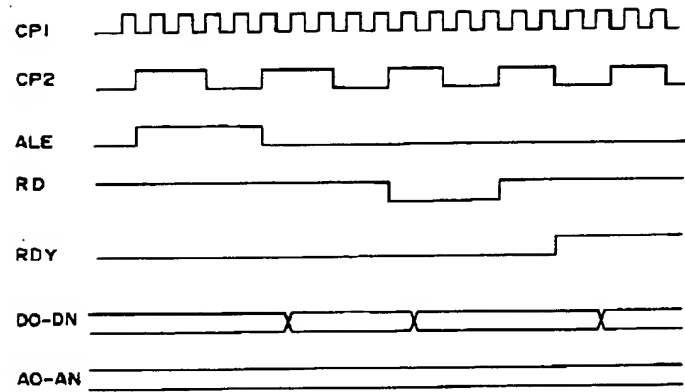
【図2】



【図3】



【図5】



フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号
7230-5B

F I

G 0 6 F 9/06

4 2 0 K

技術表示箇所